

(19)日本国特許庁(JP)

(12)特許公報(B2)

(11)特許番号

特許第7060471号
(P7060471)

(45)発行日 令和4年4月26日(2022.4.26)

(24)登録日 令和4年4月18日(2022.4.18)

(51)Int. Cl.		F I	
H 0 3 L	7/083 (2006.01)	H 0 3 L	7/083
H 0 3 L	7/22 (2006.01)	H 0 3 L	7/22
H 0 3 L	7/07 (2006.01)	H 0 3 L	7/07

請求項の数 4 (全 17 頁)

(21)出願番号	特願2018-141815(P2018-141815)	(73)特許権者	503420833
(22)出願日	平成30年7月27日(2018.7.27)		学校法人常翔学園
(65)公開番号	特開2020-17931(P2020-17931A)		大阪府大阪市旭区大宮五丁目16番1号
(43)公開日	令和2年1月30日(2020.1.30)	(74)代理人	100115749
審査請求日	令和3年5月17日(2021.5.17)		弁理士 谷川 英和
		(74)代理人	100121223
			弁理士 森本 悟道
		(72)発明者	吉村 勉
			大阪府大阪市旭区大宮五丁目16番1号
			大阪工業大学内
		審査官	橋本 和志

最終頁に続く

(54)【発明の名称】 相互注入位相同期回路

(57)【特許請求の範囲】

【請求項1】

制御電圧に応じた発振周波数の信号を出力する電圧制御発振器を有し、第1基準信号と位相の同期した第1発振出力信号を出力する第1位相同期回路と、
 制御電圧に応じた発振周波数の信号を出力する電圧制御発振器を有し、第2基準信号と位相の同期した第2発振出力信号を出力する第2位相同期回路と、
 前記第1発振出力信号を、前記第2位相同期回路の電圧制御発振器に対して負帰還となるように遅延させた第1注入信号を出力する第1遅延手段と、
 前記第2発振出力信号を、前記第1位相同期回路の電圧制御発振器に対して負帰還となるように遅延させた第2注入信号を出力する第2遅延手段と、を備え、
 前記第1注入信号は、前記第2位相同期回路の電圧制御発振器に注入され、
 前記第2注入信号は、前記第1位相同期回路の電圧制御発振器に注入される、相互注入位相同期回路。

【請求項2】

前記第1及び第2発振出力信号は同じ周波数であり、
 前記第1及び第2遅延手段はそれぞれ、遅延時間を変更できる可変遅延器であり、
 前記第2位相同期回路の電圧制御発振器に注入される第1注入信号が負帰還となるように前記第1遅延手段の遅延時間を制御する第1遅延制御器と、
 前記第1位相同期回路の電圧制御発振器に注入される第2注入信号が負帰還となるように前記第2遅延手段の遅延時間を制御する第2遅延制御器と、をさらに備えた、請求項1記

載の相互注入位相同期回路。

【請求項 3】

前記第 1 遅延制御器は、前記第 1 注入信号と前記第 2 発振出力信号とのうち、少なくとも一方の信号を所定時間だけ遅延させた後の両信号の位相が同期するように前記第 1 遅延手段の遅延時間を制御し、

前記第 2 遅延制御器は、前記第 2 注入信号と前記第 1 発振出力信号とのうち、少なくとも一方の信号を所定時間だけ遅延させた後の両信号の位相が同期するように前記第 2 遅延手段の遅延時間を制御する、請求項 2 記載の相互注入位相同期回路。

【請求項 4】

前記第 1 及び第 2 発振出力信号は異なる周波数であり、

前記第 1 及び第 2 遅延手段はそれぞれ、前記第 1 及び第 2 発振出力信号に対して任意の位相差を有する前記第 1 及び第 2 注入信号を生成するものであり、

前記第 2 発振出力信号に対して所定の位相差を有する第 1 注入信号が生成されるように前記第 1 遅延手段を制御する第 1 遅延制御器と、

前記第 1 発振出力信号に対して所定の位相差を有する第 2 注入信号が生成されるように前記第 2 遅延手段を制御する第 2 遅延制御器と、をさらに備えた、請求項 1 記載の相互注入位相同期回路。

【発明の詳細な説明】

【技術分野】

【0001】

本発明は、2 個の位相同期回路を有し、相互に注入を行う相互注入位相同期回路に関する。

【背景技術】

【0002】

従来、発振器に発振周波数に極めて近い摂動を与えて、その印加信号に同期させるインジェクションロックが知られており、集積回路においては、1970 年代の Adler らの研究がある（非特許文献 1 参照）。また、この現象を単一の発振器の性能向上に用いた自己インジェクションの手法も知られている（非特許文献 2 参照）。また、本件発明者も、その手法を位相同期回路（PLL：Phase Locked Loop）に応用したものを特許出願している（特許文献 1 参照）。

【0003】

一方、複数の発振器がお互いに干渉し合うことによって不安定化する現象も以前から観測されており、その解決法として、PLL の帯域を広くして相互干渉を抑制した例が報告されている（非特許文献 3 参照）。

【0004】

また、関連した技術として、単一の発振器を有する回路の自己信号の回り込みによる干渉ノイズ（self interference）対策として、動作タイミングを変更させる手法が有効であるという報告もなされている（非特許文献 4 参照）。

【先行技術文献】

【特許文献】

【0005】

【特許文献 1】特開 2017 - 055295 号公報

【非特許文献】

【0006】

【非特許文献 1】R. Adler, "A Study of Locking Phenomena in Oscillators," Proc. I EEE, vol.61, pp. 1380 1385, Oct. 1973

【非特許文献 2】C H Chang, " Phase noise in self injection locked oscillators Theory and experiment," IEEE Trans. Microwave Theory Tech., vol. 51, pp. 1994 1999, Sept. 2003

【非特許文献 3】T. Shibasaki, et al., "4 × 25.78Gb/s Retimer ICs for Optical Link

10

20

30

40

50

s in 0.13 μm SiGe BiCMOS," ISSCC dig. tech. papers, pp. 412-414, Feb. 2015

【非特許文献4】O. E. Eliezer, et al., "A Phase Domain Approach for Mitigation of Self Interference in Wireless Transceivers," IEEE J.S.S.C, vol. 44, no. 5, pp. 1436-1453, May 2009

【発明の概要】

【発明が解決しようとする課題】

【0007】

従来例のように、PLLの帯域を広くすることによって発振器の相互干渉による不安定動作を抑制する方法は有効であるが、際限なく広帯域にすることはできないため、限界があることになる。また、その方法は、回路の仕様等により、PLLの帯域が決められている場合には適用することができないという問題もある。また、回路の動作タイミングを変化させることによってノイズの影響を抑える方法は、関連する他の回路の動作タイミングに影響を与えることになるため、一般的に採用することはできない。

10

【0008】

本発明は、上記問題点を解決するためになされたものであり、PLLの帯域を広くしたり、回路の動作タイミングに影響を与えたりすることなく、発振器の相互干渉の影響を低減することができる回路を提供することを目的とする。

【課題を解決するための手段】

【0009】

上記目的を達成するため、本発明による相互注入位同期回路は、制御電圧に応じた発振周波数の信号を出力する電圧制御発振器を有し、第1基準信号と位相の同期した第1発振出力信号を出力する第1位同期回路と、制御電圧に応じた発振周波数の信号を出力する電圧制御発振器を有し、第2基準信号と位相の同期した第2発振出力信号を出力する第2位同期回路と、第1発振出力信号を、第2位同期回路の電圧制御発振器に対して負帰還となるように遅延させた第1注入信号を出力する第1遅延手段と、第2発振出力信号を、第1位同期回路の電圧制御発振器に対して負帰還となるように遅延させた第2注入信号を出力する第2遅延手段と、を備え、第1注入信号は、第2位同期回路の電圧制御発振器に注入され、第2注入信号は、第1位同期回路の電圧制御発振器に注入される、ものである。

20

このような構成により、一方の位同期回路の発振出力信号を他方の位同期回路に注入することを相互に行う相互注入を行うことができ、2個の位同期回路の相互干渉の影響を低減することができ、各発振出力信号をより安定したものにすることができる。また、そのような相互干渉の影響の低減を、PLLの帯域を広くしたり、回路の動作タイミングに影響を与えたりすることなく実現することができる。

30

【0010】

また、本発明による相互注入位同期回路では、第1及び第2発振出力信号は同じ周波数であり、第1及び第2遅延手段はそれぞれ、遅延時間を変更できる可変遅延器であり、第2位同期回路の電圧制御発振器に注入される第1注入信号が負帰還となるように第1遅延手段の遅延時間を制御する第1遅延制御器と、第1位同期回路の電圧制御発振器に注入される第2注入信号が負帰還となるように第2遅延手段の遅延時間を制御する第2遅延制御器と、をさらに備えてもよい。

40

このような構成により、第1及び第2発振出力信号が同じ周波数である場合に、第1及び第2遅延手段における遅延時間を制御することによって、各注入信号が負帰還で注入されるように自動的に制御することができる。

【0011】

また、本発明による相互注入位同期回路では、第1遅延制御器は、第1注入信号と第2発振出力信号とのうち、少なくとも一方の信号を所定時間だけ遅延させた後の両信号の位相が同期するように第1遅延手段の遅延時間を制御し、第2遅延制御器は、第2注入信号と第1発振出力信号とのうち、少なくとも一方の信号を所定時間だけ遅延させた後の両信号の位相が同期するように第2遅延手段の遅延時間を制御してもよい。

50

このような構成により、各注入信号が負帰還で注入されるように、第 1 及び第 2 遅延手段における遅延時間を制御することができる。

【 0 0 1 2 】

また、本発明による相互注入位同期回路では、第 1 及び第 2 発振出力信号は異なる周波数であり、第 1 及び第 2 遅延手段はそれぞれ、第 1 及び第 2 発振出力信号に対して任意の位相差を有する第 1 及び第 2 注入信号を生成するものであり、第 2 発振出力信号に対して所定の位相差を有する第 1 注入信号が生成されるように第 1 遅延手段を制御する第 1 遅延制御器と、第 1 発振出力信号に対して所定の位相差を有する第 2 注入信号が生成されるように第 2 遅延手段を制御する第 2 遅延制御器と、をさらに備えてもよい。

このような構成により、第 1 及び第 2 発振出力信号が異なる周波数である場合に、第 1 及び第 2 遅延手段によって生成される注入信号を制御することによって、各注入信号が負帰還で注入されるように自動的に制御することができる。

【 発明の効果 】

【 0 0 1 3 】

本発明による相互注入位同期回路によれば、2 個の位同期回路の出力をそれぞれ他の位同期回路に注入することによって、相互干渉の影響を低減することができる。

【 図面の簡単な説明 】

【 0 0 1 4 】

【 図 1 】 本発明の実施の形態による相互注入位同期回路の構成を示すブロック図

【 図 2 】 同実施の形態における遅延制御器の構成を示すブロック図

【 図 3 】 同実施の形態における遅延手段及び遅延制御器の他の一例を示すブロック図

【 図 4 】 同実施の形態による相互注入位同期回路の他の構成を示すブロック図

【 図 5 】 同実施の形態による相互注入位同期回路の他の構成を示すブロック図

【 図 6 】 2 個の P L L の動作タイミング差と発振出力信号のジッタ値との関係を示すグラフ

【 図 7 】 2 個の P L L を含む回路チップの顕微鏡写真

【 発明を実施するための形態 】

【 0 0 1 5 】

以下、本発明による相互注入位同期回路について、実施の形態を用いて説明する。なお、以下の実施の形態において、同じ符号を付した構成要素は同一または相当するものであり、再度の説明を省略することがある。本実施の形態による相互注入位同期回路は、2 個の位同期回路を有し、それぞれの出力を他の位同期回路に注入する相互注入を行うものである。

【 0 0 1 6 】

図 1 は、本実施の形態による相互注入位同期回路 1 の構成を示すブロック図である。本実施の形態による相互注入位同期回路 1 は、第 1 位同期回路 (P L L) 1 1 と、第 2 位同期回路 1 2 と、第 1 遅延手段 1 3 と、第 2 遅延手段 1 4 と、第 1 遅延制御器 1 5 と、第 2 遅延制御器 1 6 とを備える。なお、第 1 及び第 2 位同期回路 1 1 , 1 2 は、互いに相互干渉の影響を与える程度に近接して配置されているものとする。

【 0 0 1 7 】

第 1 位同期回路 1 1 は、第 1 基準信号と位相の同期した第 1 発振出力信号を出力するものであり、位相周波数比較器 (P F D : Phase Frequency Detector) 2 1 と、チャージポンプ (C P : Charge Pump) 2 2 と、ループフィルタ (L P F : Loop Filter) 2 3 と、電圧制御発振器 (V C O : Voltage Controlled Oscillator) 2 4 と、分周器 2 5 とを備える。なお、第 1 位同期回路 1 1 は、分周器 2 5 を備えていなくてもよい。

【 0 0 1 8 】

位相周波数比較器 2 1 は、第 1 発振出力信号と第 1 基準信号との位相及び周波数を比較し、その比較の結果を示す比較結果信号を出力する。第 1 基準信号は、第 1 位同期回路 1 1 において、第 1 発振出力信号を同期させる対象となる信号 (参照信号) であり、例えば、水晶発振器等によって発振された安定した低位相ノイズの信号であることが好適であ

10

20

30

40

50

る。なお、第1位相同期回路11は分周器25を有するため、第1基準信号と比較される第1発振出力信号は、分周器25によって分周された第1発振出力信号となる。位相周波数比較器21の構成は特に限定されないが、例えば、発振出力信号と基準信号との立ち上がりエッジの差を示す比較結果信号を出力するものであってもよい。

【0019】

チャージポンプ22は、位相周波数比較器21から出力された比較結果信号を電流または電圧に変換してループフィルタ23に出力する。すなわち、チャージポンプ22は、電流チャージ型であってもよく、電圧チャージ型であってもよい。このチャージポンプ22によって、位相周波数比較器21で検出された両信号の比較結果が、電流パルスや電圧パルスに変換されることになる。

【0020】

ループフィルタ23は、チャージポンプ22によって変換された電流または電圧に応じて制御電圧を生成して電圧制御発振器24に出力する。ループフィルタ23は、チャージポンプ22からの出力を平滑化して出力するローパスフィルタである。

【0021】

電圧制御発振器24は、ループフィルタ23からの制御電圧に応じた発振周波数の第1発振出力信号を出力する。この電圧制御発振器24の種類は問わないが、例えば、LCタンク発振器であってもよく、リング型発振器であってもよく、その他の種類の電圧制御発振器であってもよい。また、電圧制御発振器24には、相互注入のための第2注入信号が注入される。第2注入信号を電圧制御発振器24に注入する方法は問わない。第2注入信号を電圧制御発振器24に注入する方法としては、例えば、注入信号の電流を直接、電圧制御発振器24に注入する方法(direct current injection)や、注入信号のパルスを電圧制御発振器24に注入する方法(capacitive coupling injection)などがある。その注入方法の具体例については、例えば、次の文献を参照されたい。また、電圧制御発振器24は、第2注入信号の注入を行うための回路、例えば、capacitive coupling injectionのための回路等を有していてもよい。

文献：S. Morishita, S. Shimizu, T. Kihara, T. Yoshimura, "Subharmonically Injection Locked PLL with Variable Pulse Width Injections," ISCAS 2015, pp. 557-560, May 2015

【0022】

分周器25は、電圧制御発振器24から出力された第1発振出力信号を所定の分周比nで分周し、分周後の発振出力信号を位相周波数比較器21に出力する。この分周器25によって、第1発振出力信号の周波数が1/nにされる。なお、nは正の整数である。分周器25は、分周比nを変更可能なものであってもよく、または、そうでなくてもよい。

【0023】

なお、本実施の形態では、位相周波数比較器21から出力された比較結果信号に応じて制御電圧を生成して電圧制御発振器24に出力する構成(以下、「電圧発生器」と呼ぶ)が、チャージポンプ22及びループフィルタ23を有する場合について説明するが、そうでなくてもよい。電圧発生器は、比較結果信号に応じた制御電圧を電圧制御発振器24に出力するものであればよく、その構成は問わない。PLLが集積回路上に構成される場合には、電圧発生器は、通常、チャージポンプ22とループフィルタ23とを有することが多いが、PLLがディスクリートに構成される場合には、チャージポンプ22とループフィルタ23とを有する以外の電圧発生器として、オペアンプを用いた積分器(アクティブ・フィルタ)として動作し、比較結果信号に相当する電圧をサンプル・ホールドする回路などを用いることもできる。なお、PLLを含む回路が集積回路上に構成される場合は、ノイズ低減の観点から、電圧発生器がチャージポンプ方式であることが好適である。

【0024】

また、図1で示される第1位相同期回路11の位相周波数比較器21やチャージポンプ22等の構成は便宜上、そのように記載したものであって、任意の2以上の構成が一体に構成されていてもよい。例えば、位相周波数比較器21とチャージポンプ22とが一体に

10

20

30

40

50

構成されていてもよく、チャージポンプ 2 2 とループフィルタ 2 3 とが一体に構成されていてもよい。

【 0 0 2 5 】

第 2 位相同期回路 1 2 は、第 2 基準信号と位相の同期した第 2 発振出力信号を出力するものであり、位相周波数比較器 3 1 と、チャージポンプ 3 2 と、ループフィルタ 3 3 と、電圧制御発振器 3 4 と、分周器 3 5 とを備える。第 2 基準信号は、第 1 基準信号とは異なる信号である。なお、第 2 位相同期回路 1 2 は、分周器 3 5 を備えていなくてもよい。また、第 2 位相同期回路 1 2 が有する各構成は、第 1 位相同期回路 1 1 におけるそれぞれ対応する各構成と同様のものであり、その詳細な説明を省略する。

【 0 0 2 6 】

なお、本実施の形態では、第 1 及び第 2 発振出力信号の周波数が同じである場合について主に説明し、両者の周波数が異なる場合については後述する。第 1 及び第 2 発振出力信号の周波数が同じである場合には、通常、第 1 及び第 2 基準信号は、同一の周波数であり、また、分周器 2 5 , 3 5 の分周比はそれぞれ同じであるが、そうでなくてもよい。例えば、第 1 及び第 2 基準信号の周波数が異なり、また、分周器 2 5 , 3 5 の分周比が異なっている場合であっても、結果として、第 1 及び第 2 発振出力信号の周波数が同じになることもあるからである。2 個の PLL の周波数が同じである相互注入位相同期回路 1 の用途は特に限定されるものではないが、例えば、第 1 及び第 2 位相同期回路 1 1 , 1 2 は、遅延差を有する 2 個のデータに関するクロックリカバリをそれぞれ行うために用いられてもよく、または、他の用途のために用いられてもよい。

【 0 0 2 7 】

第 1 遅延手段 1 3 は、電圧制御発振器 2 4 から出力された第 1 発振出力信号を、第 2 位相同期回路 1 2 の電圧制御発振器 3 4 に対して負帰還となるように遅延させた第 1 注入信号を出力する。その第 1 注入信号は、第 2 位相同期回路 1 2 の電圧制御発振器 3 4 に注入される。なお、本実施の形態では、第 1 遅延手段 1 3 が遅延時間を変更できる可変遅延器である場合について主に説明するが、後述するように、第 1 遅延手段 1 3 は、遅延時間が固定である遅延器であってもよく、また、第 1 及び第 2 発振出力信号の周波数が異なる場合には、異なる構成であってもよい。第 1 遅延手段 1 3 が可変遅延器である場合には、第 1 遅延手段 1 3 は、例えば、制御電圧に応じた遅延時間だけ入力された信号を遅延させるものであってもよい。

【 0 0 2 8 】

第 1 遅延制御器 1 5 は、第 2 位相同期回路 1 2 の電圧制御発振器 3 4 に注入される第 1 注入信号が負帰還となるように第 1 遅延手段 1 3 の遅延時間を制御する。第 1 遅延手段 1 3 の遅延時間が変更されることによって、結果として、第 1 遅延手段 1 3 から出力される信号の位相が変更されることになる。したがって、第 1 遅延制御器 1 5 は、第 1 注入信号の位相を制御していることになる。電圧制御発振器 3 4 に注入される第 1 注入信号が、第 2 発振出力信号に対して $\pi/2$ より大きく、 $3\pi/2$ より小さい位相だけ遅れると、負帰還の注入が行われることになる。したがって、第 1 遅延制御器 1 5 は、その範囲内となるように遅延時間を制御することが好適である。なお、電圧制御発振器 3 4 に注入される第 1 注入信号が、第 2 発振出力信号に対して (180°) だけ位相がずれると、最適の負帰還での注入となる。したがって、第 1 遅延制御器 1 5 は、第 1 注入信号が第 2 発振出力信号に対して π だけ位相が遅れるように第 1 遅延手段 1 3 を制御してもよい。また、第 1 遅延制御器 1 5 は、第 1 注入信号と第 2 発振出力信号とに基づいて、第 1 遅延手段 1 3 を制御する。その具体的な制御方法については、図 2 を用いて後述する。

【 0 0 2 9 】

なお、第 1 遅延手段 1 3 及び第 1 遅延制御器 1 5 は、いわゆる DLL (Delay Locked Loop) と同様に構成されてもよく、または、そうでなくてもよい。本実施の形態では、第 1 遅延手段 1 3 及び第 1 遅延制御器 1 5 が、DLL と同様に構成される場合について主に説明する。

【 0 0 3 0 】

図2は、本実施の形態による第1遅延制御器15の構成を示すブロック図である。図2において、第1遅延制御器15は、所定時間だけ遅延させた後の第1注入信号と、第2発振出力信号との位相が同期するように第1遅延手段13の遅延時間を制御するものであって、遅延器41と、位相比較器(PD: Phase Detector)42と、チャージポンプ(CP)43と、ループフィルタ(LPF)44とを備える。

【0031】

遅延器41は、第1注入信号をあらかじめ決められた時間だけ遅延させて位相比較器42に出力する。なお、遅延器41は、第1注入信号が、 $\pi/2$ より大きく、 $3\pi/2$ より小さい位相に応じた時間だけ遅れるように設定されているものとする。第1及び第2発振出力信号の周波数は同じであるため、その位相は、第1注入信号の位相と考えてもよく、第2発振出力信号の位相と考えてもよい。なお、第1注入信号が第2発振出力信号に対して位相が π だけ遅延している場合には、遅延器41において、位相が 2π だけ遅延されるように設定されてもよい。第1注入信号が、位相 π に応じた時間だけ遅れるようにするには、遅延器41は、NOT回路であってもよい。そのNOT回路は、第1注入信号を反転させるものである。この反転によって、信号の位相が π だけ移相される。その移相によって、第1注入信号と第2発振出力信号との位相差が π となるように制御されることになり、電圧制御発振器34に対する最適な注入を実現できることになる。

【0032】

位相比較器42は、第1遅延手段13から出力され、遅延器41によって遅延された第1注入信号と、第2位相同期回路12から出力された第2発振出力信号との位相を比較し、その比較の結果を示す信号を出力する。なお、位相比較器42は、位相周波数比較器であってもよいが、ここでは両信号の位相の比較ができれば十分であるため、周波数の比較を行わないのもであってもよい。また、位相比較器42は、例えば、ミキサなどの位相検波器であってもよい。

【0033】

チャージポンプ43は、位相比較器42から出力された信号を電流または電圧に変換してループフィルタ44に出力する。すなわち、チャージポンプ43は、電流チャージ型であってもよく、電圧チャージ型であってもよい。このチャージポンプ43によって、位相比較器42によって検出された両信号の比較結果が、電流パルスや電圧パルスに変換されることになる。

【0034】

ループフィルタ44は、チャージポンプ43から出力された信号に応じて、第1遅延手段13を制御する信号を生成して第1遅延手段13に出力する。なお、ループフィルタ44が出力する信号は、第1遅延手段13の制御電圧であってもよい。

【0035】

なお、第1遅延手段13と、図2で示される第1遅延制御器15とのうち、遅延器41以外の構成によって、DLLが構成されることになる。また、遅延器41が存在することによって、通常のDLLとは異なり、第2発振出力信号と第1注入信号とに所定の位相差が生じることになる。また、図2で示される第1遅延制御器15において、位相比較器42とループフィルタ44との間に、チャージポンプ43が存在していなくてもよい。また、図2では、第1注入信号を遅延器41で遅延させる構成について示しているが、第2発振出力信号を遅延させてもよく、第1注入信号と第2発振出力信号との両方を遅延させてもよい。したがって、第1遅延制御器15は、第1注入信号と第2発振出力信号とのうち、少なくとも一方の信号を所定時間だけ遅延させた後の両信号の位相が同期するように第1遅延手段13の遅延時間を制御するものであってもよい。なお、いずれの場合であっても、第1注入信号が、 $\pi/2$ より大きく、 $3\pi/2$ より小さい位相に応じた時間だけ遅れるように遅延されることによって、第1注入信号が負帰還で注入されるように制御されることが好適である。

【0036】

第2遅延手段14は、第2発振出力信号を、第1位相同期回路11の電圧制御発振器2

4 に対して負帰還となるように遅延させた第 2 注入信号を出力する。その第 2 注入信号は、第 1 位相同期回路 1 1 の電圧制御発振器 2 4 に注入される。

【 0 0 3 7 】

第 2 遅延制御器 1 6 は、第 1 位相同期回路 1 1 の電圧制御発振器 2 4 に注入される第 2 注入信号が負帰還となるように第 2 遅延手段 1 4 の遅延時間を制御する。第 2 遅延制御器 1 6 は、第 2 注入信号と第 1 発振出力信号とのうち、少なくとも一方の信号を所定時間だけ遅延させた後の両信号の位相が同期するように第 2 遅延手段 1 4 の遅延時間を制御してもよい。

【 0 0 3 8 】

なお、第 2 遅延手段 1 4 及び第 2 遅延制御器 1 6 は、第 1 注入信号、第 1 発振出力信号、第 2 発振出力信号が第 2 注入信号、第 2 発振出力信号、第 1 発振出力信号となる以外は、それぞれ第 1 遅延手段 1 3 及び第 1 遅延制御器 1 5 と同様のものであり、それらの詳細な説明を省略する。また、第 1 及び第 2 発振出力信号の周波数が同じである場合には、第 1 遅延制御器 1 5 が有する遅延器 4 1 における遅延の程度と、第 2 遅延制御器 1 6 が有する遅延器における遅延の程度とは、通常、同じであるが、両者は異なってもよい。負帰還となる範囲内の遅延量で第 1 及び第 2 注入信号がそれぞれ出力されればよいからである。

【 0 0 3 9 】

次に、相互注入位相同期回路 1 の動作について簡単に説明する。相互注入位相同期回路 1 における処理が開始されると、第 1 及び第 2 位相同期回路 1 1 , 1 2 において、出力される第 1 及び第 2 発振出力信号がそれぞれ第 1 及び第 2 基準信号にロックするように制御される。

【 0 0 4 0 】

また、第 1 位相同期回路 1 1 から出力された第 1 発振出力信号が、第 1 遅延手段 1 3 で遅延されて第 2 位相同期回路 1 2 の電圧制御発振器 3 4 に注入される。また、第 2 位相同期回路 1 2 から出力された第 2 発振出力信号が、第 2 遅延手段 1 4 で遅延されて第 1 位相同期回路 1 1 の電圧制御発振器 2 4 に注入される。なお、それらの注入において、注入先の電圧制御発振器の発振出力信号に対して、負帰還となる注入が行われるように第 1 及び第 2 遅延手段 1 3 , 1 4 における遅延時間が第 1 及び第 2 遅延制御器 1 5 , 1 6 によって制御される。その結果、発振器の相互干渉による不安定動作や位相ノイズの増大を抑制することができる。

【 0 0 4 1 】

図 6 は、2 個の P L L の動作タイミング差 (p s) と、発振出力信号のジッタ値 (p s) との関係を示すグラフである。図 6 では、本実施の形態による相互注入位相同期回路 1 において最適な相互注入を行った場合のグラフ、最適な相互注入から約 9 0 (p s) だけずれたタイミングで相互注入を行った場合のグラフ、注入を行わなかった場合のグラフ、自己注入を行った場合のグラフをそれぞれ示している。なお、最適な相互注入では、ジッタ値が最も小さくなるように注入信号の印加タイミング (位相差) を調整した。その最適な相互注入では、注入信号は、注入先の P L L の発振出力信号に対して約 (1 8 0 °) だけ遅延されていた。したがって、その最適な相互注入から約 9 0 (p s) ずれたタイミングで行われた相互注入においても、負帰還での相互注入が行われていることになる。後述するように、4 0 0 (p s) が 1 周期に対応するため、9 0 (p s) は 8 1 ° に相当することになるからである。また、自己注入は、2 個の P L L のそれぞれについて行い、自己注入における遅延量は、最も特性がよくなるように (ジッタ値が小さくなるように) 設定した。

【 0 0 4 2 】

なお、図 6 の実験では、実際に相互注入位相同期回路 1 を構成して実験を行った。図 7 は、本実験において使用した 2 個の位相同期回路 1 1 , 1 2 を含む回路チップの顕微鏡写真である。1 個の P L L のサイズは、約 4 0 0 (μ m) × 約 5 1 0 (μ m) であり、各 P L L において L C 共振器を用いた電圧制御発振器を使用した。各 P L L では、電圧制御発

10

20

30

40

50

振器として2個のインダクタを使用した。1個のインダクタのサイズは、約180(μm) \times 約180(μm)である。また、2個のPLLの間では、電圧制御発振器の間隔が最も小さく、約30(μm)であった。また、PLLの動作周波数は2.5GHzとし、第1及び第2基準信号は39.0625MHzとし、分周比は64とした。また、第2基準信号のみを変化させることによって、2つのPLLの動作タイミングに差を生じさせ、相互干渉の影響について測定を行った。注入を行わなかった場合には、両PLLの動作タイミング差が200(ps)付近において、良好な動作(すなわち、ジッタ値の小さい動作)となっているが、両PLLの動作タイミング差が約150(ps)未満となるか、または約250(ps)を超えると、測定不能となるほどジッタ値が大きくなった。なお、動作周波数2.5GHzに対応する1周期は400(ps)であるため、両PLLの動作タイミング差が、ちょうど半周期に相当する200(ps)程度となると、相互干渉の影響が理想的な負帰還と同様の結果となることになり、ジッタ値が小さくなっているのではないかと考えられる。一方、相互注入を行った場合には、両PLLのすべての動作タイミング差において、ジッタ値が大きくならないように抑えることができおり、相互注入が相互干渉の抑制に効果的であることを確認することができた。

10

【0043】

また、最適な相互注入から約90(ps)だけ注入信号の位相がずれた相互注入においても、最適な相互注入よりは全体としてジッタ値が少し大きくなるが、相互干渉の影響を効果的に抑制できていることが分かる。したがって、注入先のPLLに対して負帰還となるように注入信号を注入することによって、相互干渉を抑制できることが確認された。

20

【0044】

また、自己注入を行った場合には、注入を行わなかった場合よりはジッタ値が低減されているものの、測定不能になるほどのジッタ値となるタイミング領域は依然として存在していた。理論上は、自己注入を行った場合であっても、相互注入を行った場合であっても、注入信号は同様の信号となるため、自己注入によっても、相互干渉を抑制できると考えられるが、本実験により、実際には自己注入によっては相互干渉を適切に抑制できないことが確認された。したがって、相互注入を行うことは、相互干渉の抑制に有効であることが分かる。

【0045】

次に、第1及び第2発振出力信号の周波数が異なる場合について説明する。第1及び第2発振出力信号の周波数が異なる場合には、通常、第1及び第2基準信号は、異なる周波数であるが、そうでなくてもよい。第1及び第2基準信号の周波数は同じであるが、分周比が異なることによって、第1及び第2発振出力信号の周波数が異なってもよい。第1及び第2発振出力信号の周波数が異なる場合には、第1遅延手段13は、可変遅延器ではなく、第1発振出力信号に対して任意の位相差を有する第1注入信号を生成するものとなる。また、第1遅延制御器15は、電圧制御発振器34に注入される第1注入信号が負帰還となるように第1遅延手段13における遅延時間(位相差)を制御するものであり、第2発振出力信号に対して所定の位相差を有する第1注入信号が生成されるように第1遅延手段13を制御する。第1遅延制御器15は、その制御を第1注入信号と第2発振出力信号とに基づいて行う。第1及び第2発振出力信号の周波数が異なる場合には、第1遅延手段13及び第1遅延制御器15は、例えば、図3で示される構成であってもよい。

30

40

【0046】

図3において、第1遅延手段13は、多相クロック生成器51と、位相選択補間手段52とを備える。また、第1遅延制御器15は、位相比較器(PD)53と、制御器54とを備える。多相クロック生成器51は、第1発振出力信号を所定の位相間隔(例えば、 $1/6$ など)だけ順次、移相した多相クロックを出力する。なお、その多相クロックは、までの位相に限定されてもよい。位相選択補間手段52は、多相クロック生成器51によって生成された多相クロック、及びその多相クロックを だけ移相させたクロックから、2個のクロックを選択し、その選択した2個のクロックを補間することによって、第1発振出力信号に対して任意の位相差(0~2)を有する第1注入信号を生成することがで

50

きる。なお、任意の位相差とは、固定の位相差ではなく、 $0 \sim 2$ の範囲における種々の位相差という意味であり、多相クロックの位相間隔、及び補間の程度に応じて、位相差の最小の単位が決定されることになる。また、厳密には、その位相差は、第1発振出力信号に対する位相差であるため、第2発振出力信号に対して、 $0 \sim 2$ の範囲の位相差にならない場合もあり得る。具体的には、第2発振出力信号の周期 T_2 が、第1発振出力信号の周期 T_1 よりも長い場合には、第1遅延手段13は、第2発振出力信号に対して、第2発振出力信号の $2 \cdot (T_2 - T_1) / T_2$ から 2 までの範囲の位相だけ遅れた第1注入信号を出力することはできない。しかしながら、後述のように、第2発振出力信号に対する遅延の上限は $3/2$ であること、また、第1及び第2発振出力信号の周波数が大きく異なる場合には、そもそも相互干渉の影響が小さいことを考慮すれば、第2発振出力信号の周期 T_2 が、第1発振出力信号の周期 T_1 よりも長くても、通常、問題にはならない。したがって、図3で示される第1遅延手段13であっても、通常、第1発振出力信号を、第2位相同期回路の電圧制御発振器34に対して負帰還となるように遅延させた第1注入信号を出力できることになる。

10

【0047】

位相選択補間手段52から出力された第1注入信号と、第2発振出力信号とは位相比較器53によって位相が比較される。そして、制御器54は、その比較結果に基づいて、第2発振出力信号に対して $\pi/2$ より大きく、 $3\pi/2$ より小さい位相（この位相は、第2発振出力信号の位相である）だけ遅れた第1注入信号が第1遅延手段13から出力されるように、位相選択補間手段52における位相の選択と信号の補間とを制御する。より具体的には、制御器54は、位相比較器53による比較結果に基づいて、第2発振出力信号に対して、所定の位相だけ遅れた第1注入信号が第1遅延手段13から出力されるように制御を行ってもよい。その所定の位相は、上記のとおり、 $\pi/2$ より大きく、 $3\pi/2$ より小さい範囲内の位相である。ここで、第1及び第2発振出力信号の周波数は異なっているため、第2発振出力信号に対して所定の位相だけ遅れた第1注入信号とは、例えば、第2発振出力信号の立ち上がりのタイミングに対して、所定の位相だけ立ち上がりのタイミングが遅れた第1注入信号の意味であってもよい。また、第1注入信号が第2発振出力信号に対して一定の位相だけ遅れた信号となる場合には、両信号の周波数は異なっているため、1周期ごとに第1注入信号の位相が変更されることになる。このようにして、第1及び第2発振出力信号の周波数が異なる場合であっても、第1注入信号は、第2発振出力信号に対して負帰還となるように第2位相同期回路12の電圧制御発振器34に注入されることになる。なお、図3で示される第1遅延手段13及び第1遅延制御器15を有する回路として、次の文献に記載されているDual Delay Locked Loopが知られている。したがって、図3で示される各構成の詳細については、その文献を参照されたい。なお、多相クロック生成器51は下記文献のcore DLLに対応し、位相選択補間手段52は下記文献のperipheral DLLにおけるphase selection, selective phase inversion, phase interpolationに対応し、位相比較器53及び制御器54はそれぞれ、下記文献のperipheral DLLにおけるphase detector, FSMに対応する。

20

30

文献：S. Sidiropoulos, M. Horowitz, "A Semidigital Dual Delay Locked Loop," IE
EE Journal of Solid State Circuits, vol. 32, no. 11, pp. 1683-1692, Nov. 1997

40

【0048】

なお、第1及び第2発振出力信号の周波数が異なる場合には、第2遅延制御器15は、可変遅延器ではなく、第2発振出力信号に対して任意の位相差を有する第2注入信号を生成するものとなり、また、第2遅延制御器16は、第1発振出力信号に対して所定の位相差を有する第2注入信号が生成されるように第2遅延手段14を制御するものとなる。また、第2遅延手段14及び第2遅延制御器16は、入力信号及び出力信号が異なる以外は、第1遅延手段13及び第1遅延制御器15と同様の構成であり、その詳細な説明を省略する。

【0049】

また、本実施の形態による相互注入位相同期回路1において、第1及び第2遅延手段1

50

3, 14に入力される発振出力信号は、分周されたものであってもよい。図4は、そのような相互注入位同期回路1の構成の一例を示すブロック図である。図4において、第1位同期回路11は、分周器26をさらに備えており、第2位同期回路12は、分周器36をさらに備えている。第1及び第2発振出力信号の周波数が同じである場合には、通常、分周器26, 36の分周比もそれぞれ同じであるが、両者は異なってもよい。

【0050】

分周器26は、電圧制御発振器24から出力された第1発振出力信号を所定の分周比mで分周し、分周後の第1発振出力信号を分周器25と、第1遅延手段13とに出力する。この場合には、分周器26と分周器25とによって分周されるため、第1発振出力信号の周波数は $1/(n \times m)$ になって位相周波数比較器21に入力されることになる。なお、mは正の整数である。そのmは、大きな値ではないことが好適である。例えば、分周器26によって分周された第1発振出力信号を遅延させた注入信号に応じた注入を行うと、分周器26が存在しなかった場合と比較して、電圧制御発振器34に注入されるパルスの頻度が $1/m$ となる。その頻度が少なくなりすぎると、注入信号に同期させることが困難になるからである。mは、8以下であることが好適であり、4以下であることがより好適である。この分周器26を備えることによって、第1発振出力信号とは独立して、第1注入信号の周波数を決めることができるようになる。なお、分周器26によって分周された第1発振出力信号に応じた第1注入信号が電圧制御発振器34に注入される場合には、その第1注入信号の注入が第2発振出力信号の周期ごとに行われるのではなく、飛び飛びに行われることになる(subharmonically injection)。したがって、その場合には、注入信号のパルスを注入する方法(capacitive coupling injection)によって電圧制御発振器34に対する注入が行われることが好適である。分周器26は、分周比mを変更可能なものであってもよく、または、そうでなくてもよい。また、分周器36は、分周器26と同様のものであり、その詳細な説明を省略する。

【0051】

なお、分周器26, 36が存在することによって、第1及び第2遅延制御器15, 16に入力される注入信号と発振出力信号との周期が異なるようになる場合には、注入信号のパルス幅が、発振出力信号の周期の半整数の長さとなるように、図示しないパルス発生器によって変更されてから、電圧制御発振器に注入されてもよい。例えば、注入信号の変更後のパルス幅は、発振出力信号のパルス幅と一致してもよい。ここで、信号のパルス幅とは、信号に含まれるパルスの立ち上がり時点から立ち下がり時点までの時間的な長さである。パルス幅が変更される場合であっても、パルスの立ち上がりのタイミングは変更されないことが好適である。なお、パルス幅の変更された注入信号が第1及び第2遅延制御器15, 16に入力される場合であって、第1及び第2遅延制御器15, 16において、NOT回路による信号の反転によって遅延を行う場合には、発振出力信号に対して反転による遅延を行うことが好適である。また、パルス幅を変更する場合には、第1及び第2遅延制御器15, 16に入力される注入信号のデューティ比(HとLとの比)が50%にはならないため、位相比較器42は、ミキサ型ではないことが好適である。また、第1及び第2遅延制御器15, 16に入力される注入信号と発振出力信号との周期が異ならないようにするため、分周器36, 26による分周後の発振出力信号が、第1及び第2遅延制御器15, 16に入力されるようにしてもよい。

【0052】

以上のように、本実施の形態による相互注入位同期回路1によれば、相互注入を行うことによって、相互干渉の影響を低減することができ、その結果、相互干渉による不安定動作を抑制することができ、またノイズを低減することができる。また、そのような相互干渉の影響の低減を、PLLのループ帯域を広くしたり、回路の動作タイミングに影響を与えたりすることなく実現することができる。また、第1及び第2発振出力信号の周波数が同じである場合には、第1及び第2遅延手段13, 14を可変遅延器とし、第1及び第2遅延制御器15, 16により各注入信号のタイミングをそれぞれ調整することによって、各電圧制御発振器24, 34に負帰還となる相互注入が行われるように自動的に調整す

10

20

30

40

50

ることができる。また、第 1 及び第 2 発振出力信号の周波数が異なる場合には、第 1 及び第 2 遅延手段 1 3 , 1 4 によってそれぞれ任意の位相差を有する注入信号が生成されるようにし、また、第 1 及び第 2 遅延制御器 1 5 , 1 6 により、注入先の発振出力信号に対して、所定の位相差を有する注入信号が生成されるように第 1 及び第 2 遅延手段 1 3 , 1 4 が制御されることによって、周波数が異なる状況においても、各電圧制御発振器 2 4 , 3 4 に負帰還となる相互注入が行われるように自動的に調整することができる。

【 0 0 5 3 】

なお、本実施の形態では、第 1 及び第 2 発振出力信号の周波数が同一である場合に、第 1 及び第 2 遅延手段 1 3 , 1 4 が可変遅延器であると説明したが、そうでなくてもよい。例えば、第 1 及び第 2 基準信号の位相差が固定であるような場合には、第 1 及び第 2 遅延手段 1 3 , 1 4 の遅延時間は固定されていてもよい。その場合であっても、第 1 及び第 2 注入信号は、それぞれ注入先の第 2 及び第 1 発振出力信号に対して負帰還となるように第 1 及び第 2 遅延手段 1 3 , 1 4 から出力されるものとする。すなわち、そのようになるように、第 1 及び第 2 遅延手段 1 3 , 1 4 における固定の遅延量が決定されることが必要である。また、そのような固定の遅延時間である第 1 及び第 2 遅延手段 1 3 , 1 4 が用いられる場合には、相互注入位相同期回路 1 は、第 1 及び第 2 遅延制御器 1 5 , 1 6 を有していなくてもよい。第 1 及び第 2 遅延手段 1 3 , 1 4 を制御する必要がないからである。

【 0 0 5 4 】

また、第 1 及び第 2 発振出力信号の周波数が異なる場合であっても、第 1 及び第 2 発振出力信号の一方の周波数が他方の周波数の整数倍になっているときには、第 1 及び第 2 発振出力信号の周波数が同じ場合の構成によって相互注入を行ってもよい。その場合であっても、注入信号が、注入先の PLL に対して負帰還となるようにタイミング（遅延時間）が調整されるものとする。そのため、注入先の PLL よりも高い周波数の注入信号については、注入先の PLL と同じか、または、より低い周波数となるように分周を行ってから注入を行う必要がある。注入信号の周波数が、注入先の PLL の周波数よりも高くなり、負帰還でない注入となることを回避するためである。より具体的には、第 1 発振出力信号の周波数が第 2 発振出力信号の周波数よりも高い場合には、相互注入位相同期回路 1 は、第 1 遅延手段 1 3 の前段または後段に分周器を備えていてもよい。また、第 2 発振出力信号の周波数が第 1 発振出力信号の周波数よりも高い場合には、相互注入位相同期回路 1 は、第 2 遅延手段 1 4 の前段または後段に分周器を備えていてもよい。また、注入信号の周波数が、注入先の PLL の周波数よりも低い場合であっても、注入信号の周波数は、注入先の PLL の周波数の $1/8$ 以上の周波数であることが好適であり、 $1/4$ 以上の周波数であることがより好適である。注入先の PLL において、注入信号に対する適切な同期を実現できるようにするためである。また、注入信号が、注入先の PLL に対して負帰還となるように調整されるとは、注入信号が、注入先の PLL の発振出力信号に対して、 $1/2$ より大きく、 $3/2$ より小さい位相（この位相は、注入先の PLL の発振出力信号の位相である）だけ遅れるように調整されることである。なお、注入信号と、注入先の PLL の発振出力信号との周波数が異なる場合には、その調整は、パルスの立ち上がり基準として行われてもよい。すなわち、注入信号の立ち上がりタイミングが、注入先の PLL の発振出力信号の立ち上がりタイミングに対して、 $1/2$ より大きく、 $3/2$ より小さい位相だけ遅れるように調整されてもよい。

【 0 0 5 5 】

また、本実施の形態では、2 個の位相同期回路において相互注入が行われる場合について説明したが、3 個以上の位相同期回路において相互注入が行われてもよい。図 5 は、3 個の位相同期回路において相互注入が行われる場合の相互注入位相同期回路の一例を示す図である。図 5 (a) は、第 1 ~ 第 3 位相同期回路 1 0 1 ~ 1 0 3 と、第 1 ~ 第 3 注入制御器 1 1 1 ~ 1 1 3 とを備えた相互注入位相同期回路の構成を示すブロック図である。第 1 注入制御器 1 1 1 は、第 2 及び第 3 発振出力信号が、第 1 発振出力信号に対して負帰還で注入されるように遅延させる。図 5 (b) は、第 1 注入制御器 1 1 1 の構成を示すブロック図である。第 1 注入制御器 1 1 1 は、第 2 発振出力信号を遅延させた注入信号を出力

する遅延手段 1 2 1 と、第 1 発振出力信号に基づいて、第 1 位相同期回路 1 0 1 に注入される注入信号が負帰還となるように遅延手段 1 2 1 を制御する遅延制御器 1 3 1 と、第 3 発振出力信号を遅延させた注入信号を出力する遅延手段 1 4 1 と、第 1 発振出力信号に基づいて、第 1 位相同期回路 1 0 1 に注入される注入信号が負帰還となるように遅延手段 1 4 1 を制御する遅延制御器 1 5 1 とを備える。そして、第 1 位相同期回路 1 0 1 には、遅延手段 1 2 1 , 1 4 1 から出力された注入信号が合わせて注入されることになる。なお、第 2 注入制御器 1 1 2 は、第 1 及び第 3 発振出力信号が、第 2 発振出力信号に対して負帰還で注入されるように遅延させ、第 3 注入制御器 1 1 3 は、第 1 及び第 2 発振出力信号が、第 3 発振出力信号に対して負帰還で注入されるように遅延させるものである。第 2 注入制御器 1 1 2 及び第 3 注入制御器 1 1 3 の構成も、第 1 注入制御器 1 1 1 と同様のもの

10

である。また、各注入制御器 1 1 1 ~ 1 1 3 における制御手段や遅延制御器は、発振出力信号の周波数が同一の場合における相互注入で用いられるものであってもよく、または、発振出力信号の周波数が異なる場合における相互注入で用いられるものであってもよい。このようにして、3 個以上の位相同期回路においても、相互注入を行うことができる。なお、相互注入位相同期回路が、3 個以上の位相同期回路を有する場合であっても、そのうちの 2 個の位相同期回路の相互注入に関する構成については、図 1 や図 4 で示されるものになると考えることができる。

【 0 0 5 6 】

なお、3 個以上の位相同期回路において相互注入を行う場合には、通常、1 個の位相同期回路に 2 個以上の位相同期回路からの注入信号がそれぞれ注入されることになる。その場合には、例えば、2 個以上の注入信号を均等な重みで注入してもよく、異なる重みで注入してもよい。後者の場合には、例えば、位相同期回路間の距離に反比例する重みを用いてもよく、位相同期回路間の距離の 2 乗に反比例する重みを用いてもよく、その他の重みを用いてもよい。位相同期回路間の距離に反比例する重みを用いる場合には、具体的には、第 1 位相同期回路 1 0 1 に注入される第 2 発振出力信号に応じた注入信号の重みと、第 3 発振出力信号に応じた注入信号の重みとの比が、第 1 位相同期回路 1 0 1 と第 2 位相同期回路 1 0 2 との距離の逆数と、第 1 位相同期回路 1 0 1 と第 3 位相同期回路 1 0 3 との距離の逆数との比となるように各注入信号に重み付けがなされてもよい。なお、例えば、相互干渉に関して、距離の影響が大きい場合には、位相同期回路間の距離に反比例する重みを用いることが好適であり、電磁界の影響が大きい場合には、位相同期回路間の距離の 2 乗に反比例する重みを用いることが好適である。

20

30

【 0 0 5 7 】

また、本実施の形態による相互注入位相同期回路 1 の第 1 及び第 2 位相同期回路 1 1 , 1 2 において、発振出力信号が基準信号に同期するまでは注入信号が電圧制御発振器 2 4 , 3 4 に注入されず、発振出力信号が基準信号に同期した後に注入信号が電圧制御発振器 2 4 , 3 4 に注入されるようにしてもよい。

【 0 0 5 8 】

また、本実施の形態による相互注入位相同期回路 1 において、各構成要素のうち、アナログでもデジタルでも実現できるものについては、そのどちらで実現されてもよいことは言うまでもない。

40

【 0 0 5 9 】

また、上記実施の形態において、各処理または各機能は、単一の装置または単一のシステムによって集中処理されることによって実現されてもよく、または、複数の装置または複数のシステムによって分散処理されることによって実現されてもよい。

【 0 0 6 0 】

また、上記実施の形態において、各構成要素間で行われる情報の受け渡しは、例えば、その情報の受け渡しを行う 2 個の構成要素が物理的に異なるものである場合には、一方の構成要素による情報の出力と、他方の構成要素による情報の受け付けとによって行われてもよく、または、その情報の受け渡しを行う 2 個の構成要素が物理的に同じものである場合には、一方の構成要素に対応する処理のフェーズから、他方の構成要素に対応する処理

50

のフェーズに移ることによって行われてもよい。

【0061】

また、上記実施の形態において、各構成要素が実行する処理に関する情報、例えば、各構成要素が受け付けたり、取得したり、選択したり、生成したり、送信したり、受信したりした情報や、各構成要素が処理で用いる閾値や数式、アドレス等の情報等は、上記説明で明記していなくても、図示しない記録媒体において、一時的に、または長期にわたって保持されていてもよい。また、その図示しない記録媒体への情報の蓄積を、各構成要素、または、図示しない蓄積部が行ってもよい。また、その図示しない記録媒体からの情報の読み出しを、各構成要素、または、図示しない読み出し部が行ってもよい。

【0062】

また、上記実施の形態において、各構成要素等で用いられる情報、例えば、各構成要素が処理で用いる閾値やアドレス、各種の設定値等の情報がユーザによって変更されてもよい場合には、上記説明で明記していなくても、ユーザが適宜、それらの情報を変更できるようにしてもよく、または、そうでなくてもよい。それらの情報をユーザが変更可能な場合には、その変更は、例えば、ユーザからの変更指示を受け付ける図示しない受付部と、その変更指示に応じて情報を変更する図示しない変更部とによって実現されてもよい。その図示しない受付部による変更指示の受け付けは、例えば、入力デバイスからの受け付けでもよく、通信回線を介して送信された情報の受信でもよく、所定の記録媒体から読み出された情報の受け付けでもよい。

【0063】

また、上記実施の形態において、各構成要素は専用のハードウェアにより構成されてもよく、または、ソフトウェアにより実現可能な構成要素については、プログラムを実行することによって実現されてもよい。例えば、ハードディスクや半導体メモリ等の記録媒体に記録されたソフトウェア・プログラムをCPU等のプログラム実行部が読み出して実行することによって、各構成要素が実現され得る。その実行時に、プログラム実行部は、記憶部や記録媒体にアクセスしながらプログラムを実行してもよい。このプログラムは、サーバなどからダウンロードされることによって実行されてもよく、所定の記録媒体（例えば、CD-ROMなどの光ディスクや磁気ディスク、半導体メモリなど）に記録されたプログラムが読み出されることによって実行されてもよい。また、このプログラムは、プログラムプロダクトを構成するプログラムとして用いられてもよい。また、このプログラムを実行するコンピュータは、単数であってもよく、複数であってもよい。すなわち、集中処理を行ってもよく、または分散処理を行ってもよい。

【0064】

また、本発明は、以上の実施の形態に限定されることなく、種々の変更が可能であり、それらも本発明の範囲内に包含されるものであることは言うまでもない。

【産業上の利用可能性】

【0065】

以上より、本発明による相互注入位相同期回路によれば、相互干渉の影響を低減できるという効果が得られ、2以上の位相同期回路を有する回路として有用である。

【符号の説明】

【0066】

- 1 相互注入位相同期回路
- 11、101 第1位相同期回路
- 12、102 第2位相同期回路
- 13 第1遅延手段
- 14 第2遅延手段
- 15 第1遅延制御器
- 16 第2遅延制御器
- 24、34 電圧制御発振器
- 41 遅延器

10

20

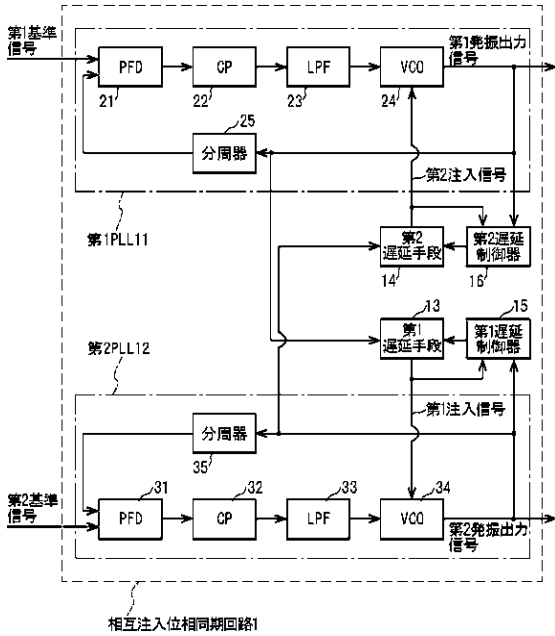
30

40

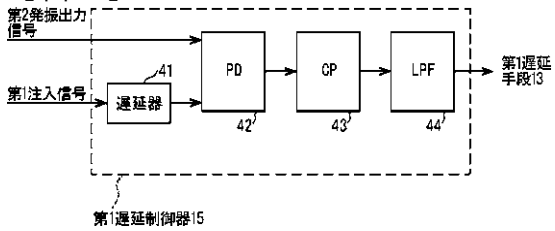
50

- 5 1 多相クロック生成器
- 5 2 位相選択補間手段
- 1 0 3 第3位相同期回路
- 1 1 1 ~ 1 1 3 第1 ~ 第3注入制御器
- 1 2 1、1 4 1 遅延手段
- 1 3 1、1 5 1 遅延制御器

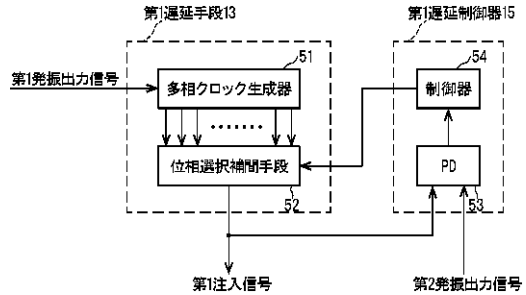
【 図 1 】



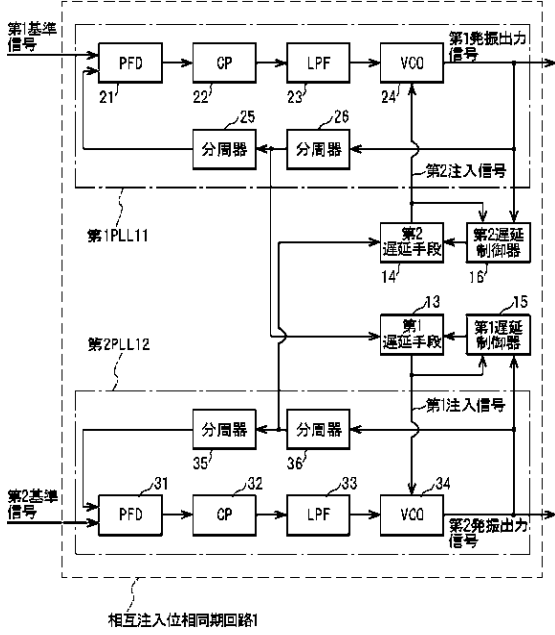
【 図 2 】



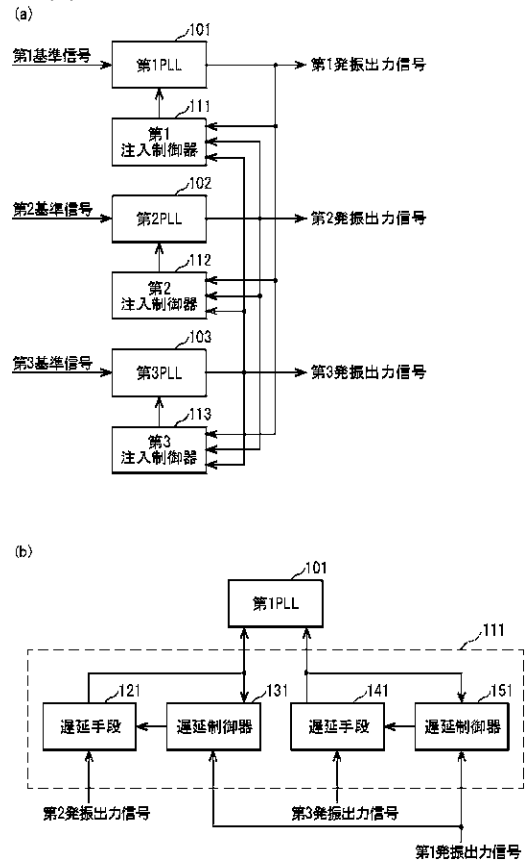
【 図 3 】



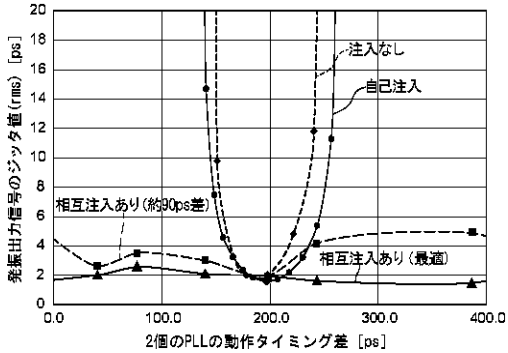
【図4】



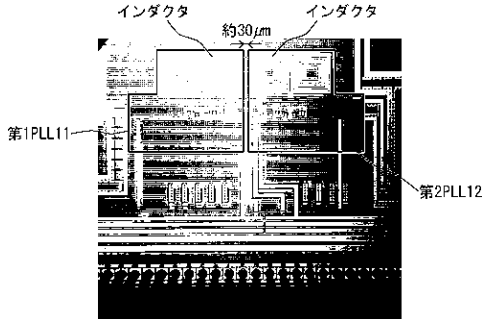
【図5】



【図6】



【図7】



フロントページの続き

(56)参考文献 特開平02 - 025114 (JP, A)
特開2014 - 154973 (JP, A)
特開2017 - 055295 (JP, A)
国際公開第2012 / 132847 (WO, A1)

(58)調査した分野(Int.Cl., DB名)

H03L 7/083
H03L 7/22
H03L 7/07